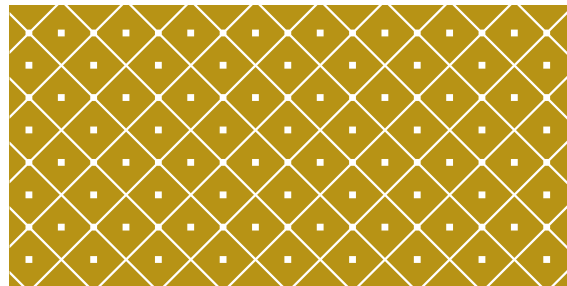


PROGRAMOWANIE WEKTOROWE I RÓWNOLEGŁE

Wykład dla kierunku: Matematyka stosowana i technologie informatyczne



ARCHITEKTURA PROCESORÓW WEKTOROWYCH, WIELORDZENIOWYCH.

Języki programowania

Wysokiego poziomu – Ada, Basic, C, C++, C#, Fortran, Java, Pascal (Delphi), Python, SQL, ...

Niskiego poziomu – asemblery – odpowiadają kodowi wykonywanemu przez procesor

Porównanie

	Języki wysokiego poziomu	Języki niskiego poziomu
Trudność programowania	niska	duża
Przenośność	duża	mała
Wykorzystanie możliwości procesora i sprzętu	średnie	duże
Programowanie zadań wymagających czasowo	siłabe	dobrze
Przejrzystość kodu źródłowego	duża	mała
Przejrzystość kodu wynikowego	bardzo mała	duża
Szybkość tworzenia	duża	mała
Szybkość działania	mała	duża
Rozmiar kodu źródłowego	mały	średni
Rozmiar kodu wynikowego	duży	mały
Zajętość pamięci/dysku	duża	mała

Porównanie

Iloczyn skalarny

Lang	Rozmiar	Zakres	Skala pomiarowa	Tabela pomiarowa
	1024	L,0	1000000	33
Wynik				
			Case: wszystkie moduły	Tabela na bieżąco aktualizowana
Delphi	203,322791310000		2796	9132
Aasm64	203,322791310000		866	2742
Wektory 64-bit				
PPU(x64)	203,322791310000		865	2736
PPU(x64)	203,322791310000		431	1393
PPU(x64)	203,322791310000		397	1428
ODE(x64)	203,322791310000		430	1371
ODE(x64)	203,322791310000		225	676
ODE(x64)	203,322791310000		184	943
ODE(x64)	203,322791310000		200	921
Funkcje w 32-bitowej DLL				
PPU(x64)	203,322791310000		866	2742
PPU(x64)	203,322791310000		431	1393
PPU(x64)	203,322791310000		398	1434
ODE(x64)	203,322791310000		434	1362
ODE(x64)	203,322791310000		225	678
ODE(x64)	203,322791310000		188	952
Tabela 64-bit				
AVX(x64)	203,322791310000		249	762
AVX(x64)	203,322791310000		167	466
AVX(x64)	203,322791310000		167	507
AVX(x64)	203,322791310000		433	1383
AVX(x64)	203,322791310000		226	681
AVX(x64)	203,322791310000		187	978

Porównanie

Rekonstrukcja obrazu – tomograf komputerowy

Opis programu	Ilość wątków	1 iteracja [ms]	20k iteracji [s]	Przyspieszenie
Oryginalny	1	688	13760 3h49m20s	-
Asembler x64	1	8,1	162 2m42s	84,938
Asembler x64 wielowątkowy i9-7900X 10r 20t	8 10 16 20	1,119047 0,994545 1,017738 0,930187	22,38095 19,89089 20,35476 18,60375	614,809 691,774 676,009 739,636
i9-9980X 18r	16	0,68025	13,605s	1011,392
NVIDIA 1080TI - 3584r		1,74473	34,8946	394,330
NVIDIA Titan V - 5120r		0, 70534	14,091075	975,416

Producenci procesorów

AMD	Acorn Computers
Cyrix	HP
IBM	MOS Technology
Intel	Motorola
Nec	Silicon Graphix
Siemens	Zilog
Transmeta	Texas Instruments
VIA	Samsung

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 7

Trochę historii

F14 CADC (F-14A Central Air Data Computer) - mikroprocesor zaprojektowany przez Steve'a Gellera i Raya Holta na potrzeby US Navy do myśliwca F-14 Tomcat.

- Powstał w czerwcu 1970
- niezwykłe zaawansowany, 20-bitowy układ z techniką potokową
- istnienie F-14 CADC zostało ujawnione dopiero w 1998 (z powodu tajemnicy wojskowej)

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 8

Historia c.d.



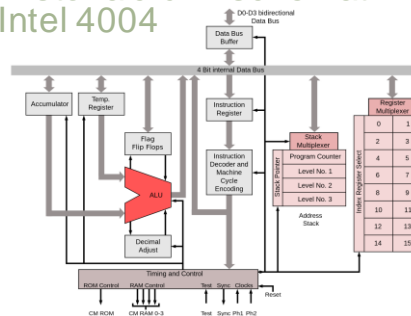
Intel 4004 - 4-bitowy mikroprocesor zaprojektowany i produkowany przez firmę Intel od 1971

- Powszechnie uznany za pierwszy mikroprocesor
- Maksymalna częstotliwość taktowania - 740 kHz.
- Osobna pamięć dla programu i danych (tzw. "architektura harwardzka").
- 46 instrukcji.
- 16 czterobitowych rejestrów.
- 3-poziomowy stos.
- 2300 tranzystorów (technologia produkcji 10 μm).

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 9

Historia c.d. – schemat Intel 4004



(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 10

Historia c.d.



Intel 8008 – pierwszy mikroprocesor 8-bitowy Intela

- obudowa DIP18
- 8-bitowa magistrala
- dostęp do większej ilości RAM
- 3-4 razy więcej mocy obliczeniowej niż procesory 4-bitowe.

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 11

Historia c.d.



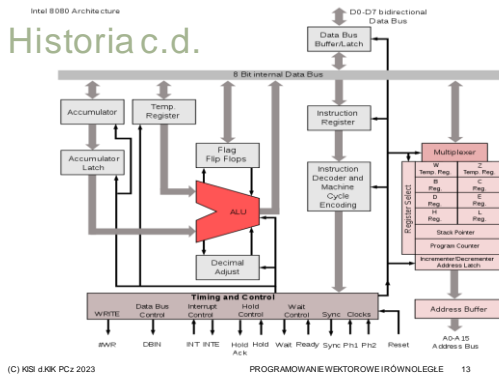
Intel 8080

- wyprodukowany przez Intela w kwietniu 1974
- 8-bitowa szyna danych, pamięć adresowana 16-bitową szyną adresową.
- słowo 8-bitowe
- 72 instrukcje
- bezpośrednie adresowanie pamięci o pojemności do 64 KB
- arytmetyka dwójkowa i dziesiętna kodowana dwójkowo (BCD)
- 8 rejestrów programowych dostępnych dla programisty cykl pracy 2μs.
- zegar zewnętrzny o częstotliwości 2-3 MHz (podstawowy cykl rozkazowy – 4 takty)

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 12

Historia c.d.



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGE 13

Historia c.d.



Intel 8086 - procesor 16-bitowy wprowadzony w 1978

- traktowany jako tymczasowy projekt przejściowy. Intel pokładał wówczas swoje nadzieje w znacznie bardziej zaawansowanym 32-bitowym układzie 8800 (iAPX 432).
- Głównym konstruktorem był Stephen Morse, który specjalizował się w oprogramowaniu.
- "Gdyby szefostwo Intel'a chciało, by architektura ta przetrwała wiele generacji i przerodziła się w dzisiejsze procesory, to nigdy nie zleciłiby tego zadania jednej osobie"



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGE 14

Historia c.d.

W 1980 IBM rozpoczyna pracę nad komputerem 5150

Microsoft ma już gotowy interpreter języka Basic, który działał na układach 8086 i 8088

IBM 5150 staje się standardem

"Pytałem myśliczy, czy chcą mieć komputer od International Business Machines czy od firmy, która swą nazwę wzięła od owocu"



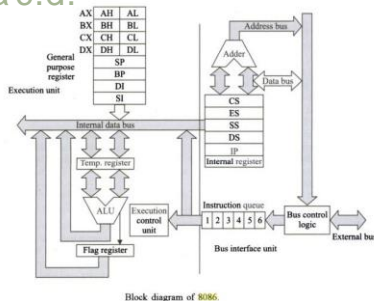
(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGE 15

Historia c.d.

- rozszerzenie listy rozkazów
- rozszerzenie możliwości adresowania operandów
- wprowadzenie segmentacji obszaru pamięci
- mechanizmy przyspieszenia pracy
- mechanizmy dla pracy wieloprotocownej

(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGE 16

Historia c.d.



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGE 17

Historia c.d.



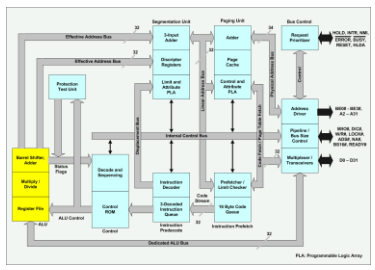
Intel 80386 - 32-bitowy procesor opracowany przez firmę Intel w 1986

- pierwszy 32-bitowy procesor z rodziny x86. Architektura tego procesora została opracowana jeszcze zanim Intel wypuścił na rynek procesory poprzedniej serii 286, jednak procesor był zbyt skomplikowany, aby go w tamtym czasie wyprodukować.
- 32-bitowa magistrala adresowa oraz 32-bitowa magistrala danych
- rozszerzone do 32-bitów rejestry
- nowe tryby adresowania
- praca w trzech trybach: rzeczywistym, chronionym i wirtualnym
- dodanie do procesora jednostki MMU

(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGE 18

Historia c.d.

- Intel 80386 - budowa



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 19

Historia c.d.



Intel 80486 - poprawna nazwa handlowa i486

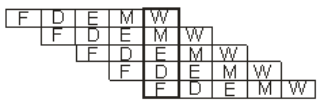
- kilka (7) dodatkowych instrukcji
- cache na dane i instrukcje
- zintegrowany koprocesor arytmetyczny x87
- poprawiony interfejs szyny danych
- zastosowano pięciostopniowy potok
- usprawnienia spowodowały, że i486 był mniej więcej dwukrotnie szybszy od podobnie taktowanego 80386

(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 20

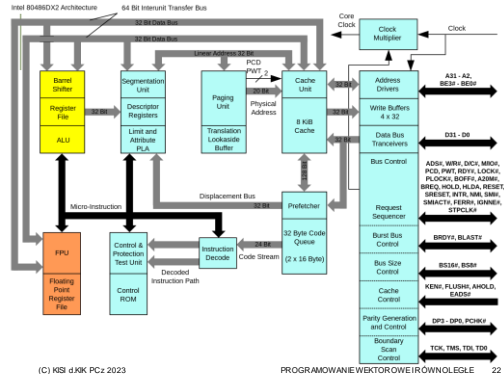
Historia c.d.

Wykonywanie instrukcji w potoku. Fazy:

- F - pobieranie instrukcji,
- D - dekodowanie,
- E - wykonanie,
- M - odwołanie do pamięci,
- W - zapisanie wyników.



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 21



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 22

Historia c.d.



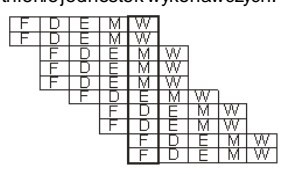
Pentium – mikroprocesor się 22 marca 1993

- architektura superskalarna (wykonywanie kilku instrukcji w kilku potokach)
- 64-bitowa szyna na danych
- jednostka *branch prediction* do przewidywania skoków (80% skuteczność)
- przeprojektowany koprocesor (5-6x wydajniejszy niż w i486)

(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 23

Historia c.d.

Superskalarność – cecha procesorów oznaczająca możliwość wykonywania kilku instrukcji (rozkazów maszynowych) jednocześnie, uzyskiwana poprzez zwielokrotnienie jednostek wykonawczych.



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 24

Historia cd.



Pentium Pro - mikroprocesor szóstej generacji należący do rodziny x86 (październik 1995)

- Podział kodu x86 na mikrorozkazy
- Wykonywanie poza kolejnością
- Wykonywanie spekulatywne
- Dodatkowy potok ("pipeline") dla prostych instrukcji.

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 25

Historia cd.

Mikroprogram, mikro-kod to program implementujący listę rozkazów procesora. Rozkaz kodu maszynowego jest ciągiem mikrorozkazów (mikroinstrukcji), jest ciągiem operacji sprzętowych wykonywanych wewnątrz procesora.

Mikroprogram jest pisany przez konstruktorów procesorów w trakcie ich projektowania.

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 26

Historia cd.

Wykonywanie poza kolejnością (out-of-order execution) – zdolność mikroprocesora superskalarnego do zmiany kolejności wykonywania instrukcji, tak, aby maksymalnie wykorzystać jego jednostki wykonawcze (obliczeniowe) i równolegle, w kilku potokach, wykonać jak najwięcej instrukcji. Powoduje to przyspieszenie wykonywania programów.

Zmiana kolejności jest możliwa tylko wówczas, gdy instrukcje są od siebie niezależne.

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 27

Historia cd.

Wykonywanie spekulatywne (speculative execution) – zdolność mikroprocesorów, przetwarzających rozkazy potokowo, do wykonywania rozkazów znajdujących się po skoku warunkowym, gdy jeszcze nie wiadomo, czy skok ten zostanie wykonany, i które rozkazy zostaną po nim wykonane. Jeśli jednak wybór był niewłaściwy, uzyskane wyniki zostaną pominięte, a potok wyczyszczony.

Wykonywanie spekulatywne występuje zwykle łącznie z mechanizmem **przewidywania skoków** (branch prediction).

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 28

Historia c.d.



• Pentium III - procesor w 32-bitowej architekturze Intel (IA-32).

- architektura RISC (Reduced Instruction Set Computers)
- rozmiar pamięci cache pierwszego poziomu (L1) dla kodu: 16 KB
- liczba etapów przetwarzania rozkazu (w potoku): 12
- liczba jednostek zmienioprzecinkowych: 1 (z potokowaniem)
- liczba jednostek całkowitoliczbowych: 6 potoków
- liczba jednostek MMX.2
- **instrukcje SSE** (Streaming SIMD Extensions)
- możliwość pracy w systemie wieloprocessorowym (do 2 procesorów).

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 29

Historia c.d.



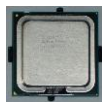
Pentium 4 – siódma generacja procesorów firmy Intel (od 20 listopada 2000)(wiele wersji)

- architektura NetBurst
- instrukcje SSE2, w nowszych wersjach jądra – SSE3
- niektóre wersje posiadają wbudowaną wielowątkowość (HyperThreading)
- zwiększona pamięć poziomu L2
- pojawia się technologia EM64T (2003)
- pierwszy procesor dwurdzeniowy

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 30

Historia c.d.



• Intel Core 2 to ósma generacja mikroprocesorów firmy Intel w architekturze x86

- mikroarchitektura Intel Core
- wysoki współczynnik IPC (Instructions Per Cycle) - około 3,5
- wspólna pamięć cache dla obu rdzeni procesora
- EM64T,
- technologia wirtualizacji,
- XD bit (eXecute Disable – wyłącza możliwość wykonywania instrukcji z oznaczonych stron),
- ulepszoną technologię SpeedStep,
- wersja czterordzeniowa

(C) KISI d.KIK PCz 2023

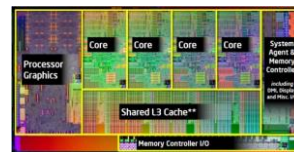
PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 31

Historia c.d.



• Intel Core i7 – 2 generacja - Sandy Bridge

- modułowa budowa
- 32-nanometryowy proces
- 6 jednostek wykonawczych
- wbudowany układ graficzny
- instrukcje AVX
- Turbo Boost 2.0
- pamięć cache L3



(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 32

Historia c.d.



• Intel Core i7 – 3 generacja - Ivy Bridge

- modułowa budowa
- 22-nanometryowy proces (tanzystory 3D)
- wbudowany układ graficzny Intel HD Graphics
- instrukcje AVX
- gen. liczb losowych
- PCI Express 3.0



(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 33

Historia c.d.



• Intel Core i7 – 4 generacja - Haswell

- podniesiona wydajność pamięci cache
- zwiększona wydajność i energooszczędność
- 8 jednostek wykonawczych
- instrukcje AVX2, FMA3
- rozbudowany układ graficzny
- wsparcie Direct3D 11.1 i OpenGL 4.0

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 34

Historia c.d.



• Intel Core i7 – 6 generacja - Skylake

- technologia 14 nm
- obsługa pamięci DDR3L i DDR4
- instrukcje AVX 2
- Instrukcje AVX512 – 32 rejestry ZMM – 512 bitowe – w wersji XEON
- wsparcie Direct3D 12
- wsparcie dla Thunderbolt 3.0

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 35

Historia c.d.



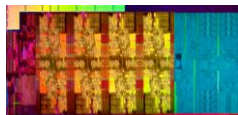
• Intel Core i7 – 9 generacja – Coffee Lake

- technologia 14+++ nm
- zwiększenie liczby rdzeni do 8
- zwiększenie rozmiaru pamięci cache L3
- AVX512 – 32 rejestry ZMM – 512bitowe – w wersji X

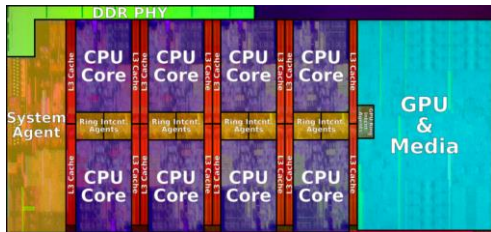
(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 36

Historia c.d.



Intel Core i9 – 9 generacja – Coffee Lake



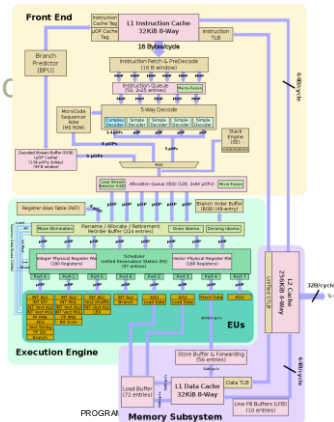
(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 37

Historia c.d.

Intel Core i9 – Coffee Lake



(C) KISI d.KIK PCz 2023



Historia c.d.



Intel Core i9 – 11 generacja – Rocket Lake

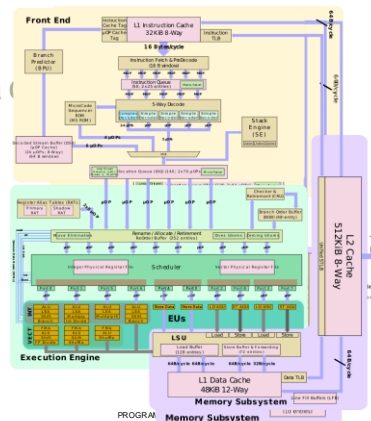
- zwiększenie IPC o 10 do 19%
- instrukcje AVX512 i DL (Deep Learning)
- zwiększenie rozmiaru pamięci cache L1D – 48KiB
- nowy wydajny układ graficzny (Xe-LP Gen 12), DisplayPort 1.4a, HDMI 2.0b
- PCI Express 4.0

(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 39

Historia c.d.

Intel Core i9 – Rocket Lake

(C) KISI d.KIK PCz 2023



Historia c.d.



Intel Core i9 – 13 generacja – Raptor Lake

- procesor hybrydowy – wydajne rdzenie dwuwątkowe i rdzenie energooszczędne - do 8P i 16E
- proces 10 nm SuperFin (Intel 7 proces)
- zwiększenie maksymalnej częstotliwości taktowania do 5,8 i 6,0 GHz
- zwiększenie IPC
- zwiększenie rozmiaru pamięci cache L2 do 2/4MB
- zwiększenie rozmiaru pamięci cache L3 do 36MB

(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 41

Co dalej?

- Meteor Lake
- Arrow Lake
- Lunar Lake
- Nova Lake

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 42

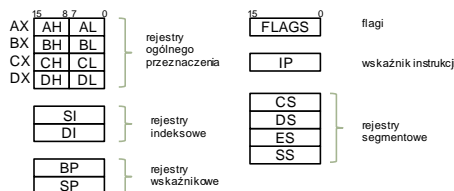
Zestawienie

Nazwa procesora	Rok	Maks. częstotliwość taktowania (w momencie wprowadzenia, MHz)	Liczba tranzystorów (mln.) Dane szacunkowe
Intel8086	1978	8	0,029
Intel80186	1982	12	0,055
Intel80286	1982	12,5	0,134
Intel80386	1985	20	0,275
Intel486	1989	25	1,2
Pentium	1993	66	3,1
Pentium Pro	1995	300	5,5
Pentium MMX	1995	233	4,5
Pentium II	1997	266	7
Pentium III	1999	500	8,2
Pentium 4	2000	1500	42
Pentium 4 EM64T	2003	2200	228
Pentium D	2004	3200	280
IntelCore 2	2006	3000	321
IntelCore i7	2008	3400	731
IntelCore i7 2600K	2011	3400-3800	995
IntelCore i7 3770K	2012	3500-3900	1400
IntelCore i7 6700K	2015	4000-4200	1750
IntelCore i9 9900K	2018	3600-5000	62000
IntelCore i9 10900K	2020	3700-5100	7400
Intel Xeon Phi KNM-72r	2017	1500-1600	8000

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 43

Procesor 8086 - rejestry



(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 44

Rejestry

AX (ang. Accumulator) - jest wykorzystywany głównie do operacji arytmetycznych i logicznych.

BX (ang. Base Registers) - rejestr bazowy, głównie wykorzystywany przy adresowaniu pamięci.

CX (ang. Counter Registers) - rejestr często wykorzystywany jako licznik, np. przy instrukcji LOOP.

DX (ang. Data Register) - rejestr danych, wykorzystywany przy operacjach mnożenia i dzielenia, a także do wysyłania i odbierania danych z portów.

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 45

Rejestry c.d.

SI (ang. Source Index) - rejestr indeksujący pamięć, wskazuje obszar z którego przesyłane są dane. W połączeniu z DS tworzy adres logiczny DS:SI

DI (ang. Destination Index) - rejestr indeksujący pamięć, wskazuje obszar, do którego przesyłane są dane. W połączeniu z ES, tworzy adres logiczny ES:DI

BP (ang. Base Pointer) - rejestr stosowany do adresowania pamięci.

SP (ang. Stack Pointer) - wskaźnik stosu.

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 46

Rejestry c.d.

IP (ang. Instruction Pointer) - zawiera adres aktualnie wykonywanej instrukcji, może być modyfikowany przez rozkazy sterujące pracą programu.

FLAGS - rejestr znaczników.

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 47

Rejestry c.d. - segmentowe

CS (ang. Code Segment) - rejestr informujący o segmencie aktualnie wykonywanego rozkazu. Razem z IP tworzy adres logiczny CS:IP kolejnej instrukcji.

DS (ang. Data Segment) - rejestr informujący o segmencie z danymi.

ES (ang. Extra Segment) - rejestr informujący o segmencie dodatkowym np. przy operacjach przesyłania łańcuchów.

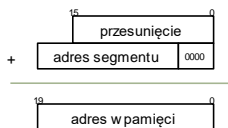
SS (ang. Stack Segment) - rejestr informujący o segmencie stosu.

(C) KISI d.KIK PCz 2023

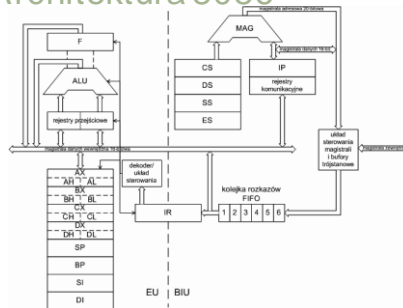
PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 48

Adres w trybie rzeczywistym

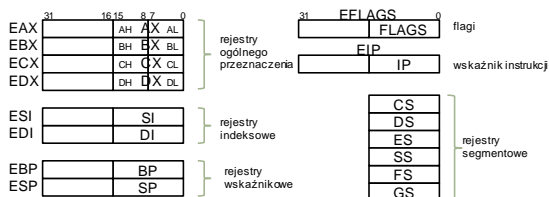
powstaje w wyniku sumowania położenia segmentu i przesunięcia w nim.



Architektura 8086



IA32- rejestry



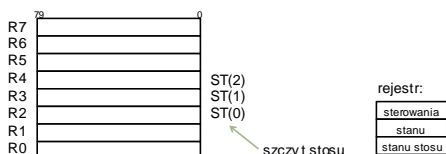
Rejestr flag

Rejestr flag w architekturze Intel x86			
bit	Skrot/wartosc	opis	typ
0	CF	flaga przeniesienia (carry)	S
1	IF	zarezerwowany	
2	PF	flaga parzystości (parity)	S
4	AF	flaga wyrównania (adjust)	S
6	ZF	flaga zera (zero)	S
7	SF	flaga znaku (sign)	S
8	TF	flaga umożliwiajaca krokowe wywołanie (trap)	X
9	IF	flaga zezwolenia na przerwanie (interrupt enable)	X
10	DF	flaga kierunku (direction)	C
11	OF	flaga przepełnienia (overflow)	S
12, 13	IOPL	poziom uprawnien wewny (I/O privilege level, od 286)	X
14	NT	nested task flag (od 286)	X
16	RF	flaga wznowienia (resume, od 386)	X
17	VM	flaga trybu Virtual 8086 (od 386)	X
18	AC	alignment check (od 486SX)	X
19	VIF	Virtual interrupt flag (od Pentium)	X
20	VIP	Virtual interrupt pending (od Pentium)	X
21	ID	identification (od Pentium)	X
3, 5, 15, 22-31	0	zarezerwowany	

S: Znacznik stanu
C: Znacznik kontroly
X: Znacznik systemowy

Koprocesor

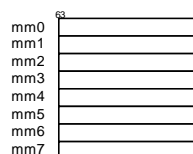
stos rejestrów



Rejestry MMX

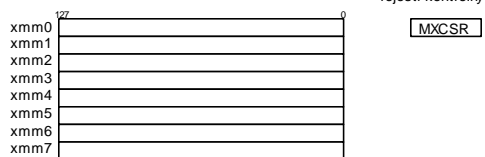
Działają na nich instrukcje całkowitoliczbowe SIMD

Wykorzystują rejestry koprocesora



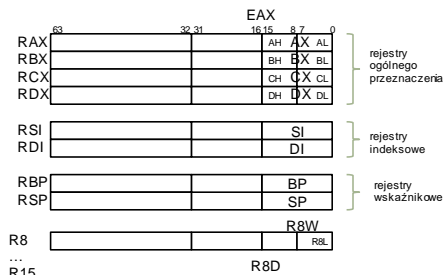
Rejestry XMM

Działają na nich instrukcje zmiennoprzecinkowe SIMD



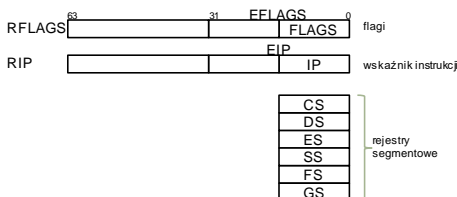
(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 55

EM64T- rejestry



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 56

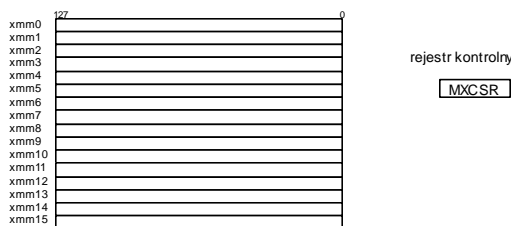
EM64T- rejestry



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 57

EM64T- rejestry XMM

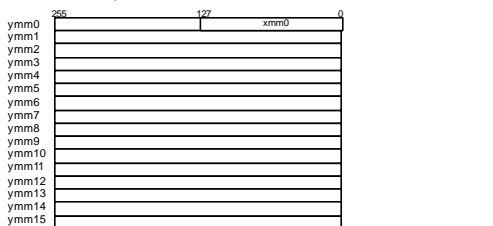
Działają na nich instrukcje zmiennoprzecinkowe SIMD



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 58

AVX- Advanced Vector eXtensions

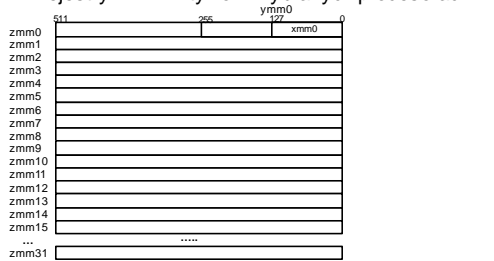
Rejestry ymm - działają na nich instrukcje zmiennoprzecinkowe SIMD - AVX



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 59

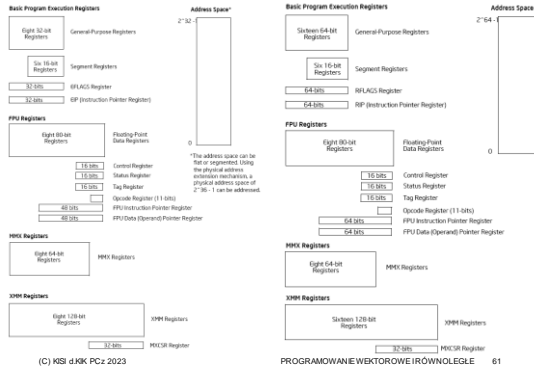
AVX512- Advanced Vector eXtensions

Rejestry zmm – tylko w wybranych procesorach



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 60

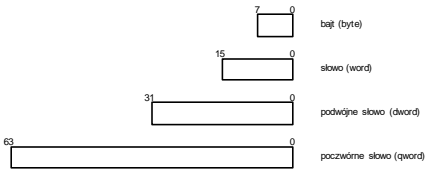
Środowisko 32 i 64 bitowe



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 61

Liczbowe typy danych

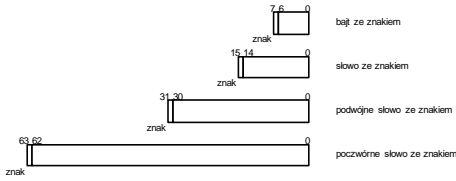
Liczby całkowite bez znaku



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 62

Liczbowe typy danych

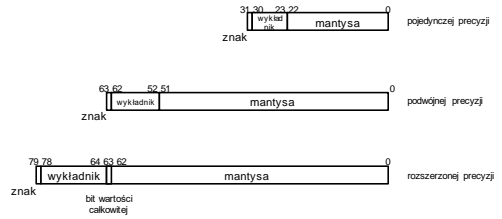
Liczby całkowite ze znakiem



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 63

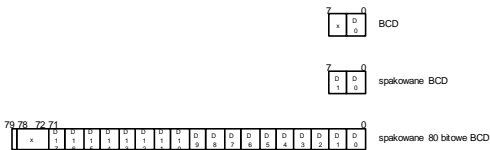
Liczbowe typy danych

Liczby zmiennoprzecinkowe



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 64

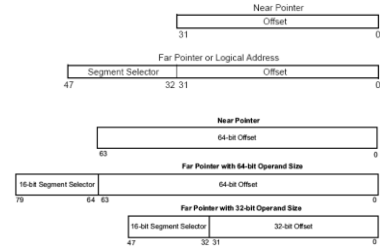
Typy BCD



4 bity = 1 cyfra BCD

(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 65

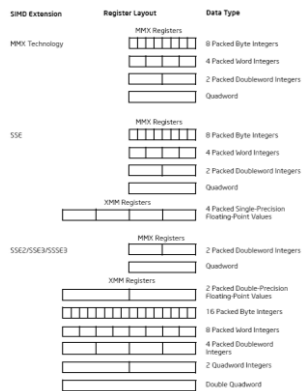
Wskaźniki w trybie 32 i 64 bitowym



(C) KISI d.KIK PCz 2023 PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 66

SIMD

Rejestry i typy danych



(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 67

Kilka instrukcji

```

add    eax,edx
sub    rax,rbx
mov    eax,edx      ;edx:eax=eax*ecx
mul    ecx
inc    ecx
mov    [rdx],rax
dec    rcx
mov    eax,zmienna

cmp    eax,ecx

push  bp
pop   eax

jz    etykieta
jnz  etykieta

call podprogram
jc   etykieta
jnc  etykieta

ret

```

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 68

Użycie rejestrów

Rejestry	Windows 32	Windows 64
do użycia	EAX, ECX, EDX, ST(0)-ST(7), K0-K7, xMM0-xMM7,	RAX, RCX, RDX, R8-R11, ST(0)-ST(7), K0-K7, xMM0-xMM5, xMM16-xMM31
do zabezpieczenia	EBX, ESI, EDI, EBP	RBX, RSI, RDI, RBP, R12-R15, xMM6-xMM15
parametry funkcji	cdecl, stdcall, pascal, Gnu C: na stosie,fastcall Microsoft eax, edx, ecx thiscall Microsoft ecx	RCX, RDX, R8, R9 lub xMM0-xMM3 reszta na stosie.
zwracające wartość funkcji	EAX, EDX, ST(0)	RAX, xMM0

x = X, Y lub Z

(C) KISI d.KIK PCz 2023

PROGRAMOWANIE WEKTOROWE I RÓWNOLEGLE 69