

ĆWICZENIE nr 4

**LICZNIKI I REJESTRY
SCALONE**

Dokument służy wyłącznie do celów indywidualnego kształcenia.
Zabrania się utrwalania, przekazywania osobom trzecim oraz rozpowszechniania.

1 Cel ćwiczenia.

Celem ćwiczenia jest praktyczne poznanie układów liczników oraz rejestrów średniej skali integracji.

1.2 Wprowadzenie.

Ważną grupę układów sekwencyjnych stanowią liczniki. Licznikiem może być każdy układ, w którym w pewnym zakresie istnieje jednoznaczne przyporządkowanie liczbie wprowadzonych impulsów stanu zmiennych wyjściowych. Ponieważ każda zmienna wyjściowa może przyjmować tylko dwie wartości, w przypadku n wyjść istnieje 2^n możliwych kombinacji (często wykorzystuje się tylko część możliwych kombinacji). Wybór kombinacji, która ma odpowiadać danej liczbie, jest w zasadzie obojętny. Celowe jest jednak dobranie takiego sposobu przedstawiania liczb, który umożliwia łatwe ich dekodowanie.

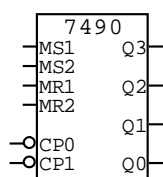
Liczniki nastawne (o programowanej pojemności) to układy dające sygnał wyjściowy w chwili osiągnięcia przez liczbę impulsów wejściowych uprzednio wybranej wartości M . Sygnał wyjściowy można wykorzystać do wyzwalania określonego przebiegu. Równocześnie następuje wtedy ingerencja w przebieg zliczania, polegająca na zatrzymaniu licznika lub sprowadzeniu go do stanu wyjściowego. Jeżeli po wyzerowaniu dopuścimy dalszą jego pracę, otrzymamy licznik modulo m , którego cykl zliczania (pojemność) określa wybrana liczba.

Rejestry przesuwające to łańcuchy zbudowane z przerzutników, które umożliwiają przesuwanie informacji podanej na wejście o jeden przerzutnik w każdym takcie zegara. Po przejściu przez, cały łańcuch informacja jest dostępna na wyjściu z opóźnieniem, ale w niezmienionej postaci.

Zarówno liczniki jak i rejestry o uniwersalnym przeznaczeniu produkowane są w postaci układów scalonych średniej skali integracji.

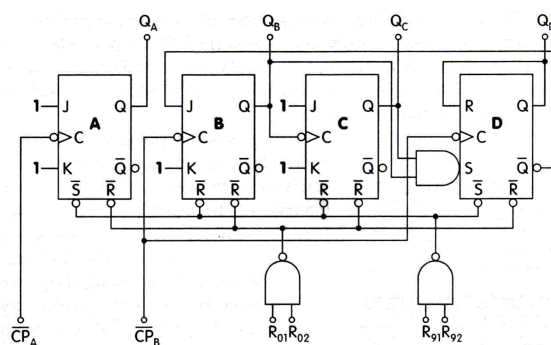
Układ 7490

Monolityczny układ scalony 7490 Rys 1 składa się z dwóch liczników: pierwszy modulo 2, a drugi modulo 5 - Rys 2.



Rys. 1. Układ scalony 7490.

Łącząc zewnętrzne wyjście pierwszego przerzutnika Q_0 z wejściem $CP1$ uzyskuje się licznik dziesiętny pracujący w kodzie BCD 8421. Łącząc natomiast wyjście Q_3 z wejściem $CP0$ i przykładając ciąg impulsów do wejścia $CP1$ uzyskuje się dzielnik przez 10, na którego wyjściu Q_0 wystąpi przebieg w kształcie fali prostokątnej (o wypełnieniu $1/2$). Liczniki modulo 2 i modulo 5 mogą być wykorzystane oddzielnie. Do zerowania

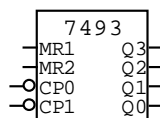


Rys.2. Schemat wewnętrzny układu scalonego 7490

układu służy wejścia MR1, MR2. Wyzerowanie układu ($Q_A=Q_B=Q_C=Q_D=0$) wystąpi wtedy, gdy na wejściach MR1, MR2 pojawi się stan wysoki. Wejścia MS1, MS2 są wejściami ustawiającymi.

Układ 7493

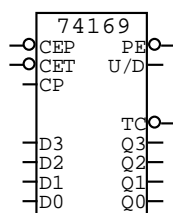
Monolityczny układ scalony 7493 jest zbudowany z dwóch liczników: pierwszy modulo 2, a drugi modulo 8. Łącząc zewnętrzne wyjście pierwszego przerzutnika Q_0 z wejściem CP1 uzyskuje się asynchroniczny licznik binarne czterobitowy.



Rys. 3. Układ scalony 7493.

Sygnal zegarowy jest wprowadzany na wejście CP0 licznika. Do zerowania układu służą wejścia MR1, MR2. Wyzerowanie układu ($Q_A=Q_B=Q_C=Q_D=0$) wystąpi wtedy, gdy na wejściach MR1, MR2 pojawi się stan wysoki. Układy 7493 można stosować w dzielnikach o cyklach krótszych od dwójkowych liczników N bitowych. Jeżeli wymaga się aby dzielnik miał długość cyklu S, to należy zdekodować stan licznika dwójkowego $s=S$ i następnie sygnał z dekodera wyprowadzić na wejście zerowania. W układach tego typu każdorazowe osiągnięcie stanu licznika równe długości cyklu ($s=S$) powoduje wyzerowanie licznika i rozpoczęcie cyklu od stanu $s=0$. Stan licznika $s=S$ jest w pewnym sensie stanem zabronionym i przechodzi samoczynnie w stan $s=0$.

Układ 74169 jest dwukierunkowym synchronicznym licznikiem dwójkowym (*ang. Binary Synchronous Bi-Directional Counter*).



Rys. 3. Układ scalony 7493.

Układ posiada następujące wejścia i wyjścia:

CP – impulsy zegarowe. Zliczanie następuje przy narastającym zboczu.

PE – ładowanie równoległe (*ang. Parallel Enable*). Gdy sygnał przyjmuje stan niski, to do licznika ładowane są aktualne wartości z wejść D0-D3.

U/D – kierunek zliczania (*ang. Up / Down*). W stanie wysokim licznik zlicza do góry, w stanie niskim w dół.

CEP i CET – wejścia uaktywniające zliczanie (*ang. Count Enable Parallel i Count Enable Trickle*). Aby licznik liczył, wejścia CEP, CET muszą być w stanie niskim, a PE w stanie wysokim.

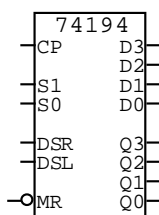
TC – osiągnięcie końca (*ang. Terminal Count*). Jeśli sygnał CET jest w stanie niskim, to na wyjściu TC pojawia się stan 0, gdy licznik osiąga 15 przy zliczaniu w górę lub 0 przy zliczaniu w dół. Sygnał ten można wykorzystać do kaskadowego łączenia liczników.

D0...D3 – wejścia równoległe. Umożliwiają załadowanie licznika określoną wartością początkową.

Q0...Q3 – wyjścia licznika.

Układ 74194

Układ 74194 zawiera 4-bitowy dwukierunkowy uniwersalny rejestr przesuwający (*ang. 4-Bit Bidirectional Universal Shift Register*).



Rys. 5. Układ scalony 74194

Rejestr ma równoległe wejścia i wyjścia, szeregowo wejścia dla przesuwania w prawo i w lewo, wejścia rodzaju pracy oraz asynchroniczne i niezależne od innych wejść, wejście zerowania. Wprowadzanie równoległe jest realizowane synchronicznie z narastaniem zbocza impulsu zegarowego przez przyłożenie czterech bitów danych na wejścia równoległe i utrzymywanie obu wejść rodzaju pracy (S0 i S1) w stanie wysokim. W czasie wprowadzania równoległego wejścia szeregowo (DSR, DSL) są zablokowane. Przesuwanie w prawo jest realizowane, gdy na wejściu S0 jest stan wysoki, a do wejścia S1 jest przyłożony stan niski. Dane wprowadzane są z wejścia wprowadzania w prawo DSR i przesuwane wzdłuż rejestru w prawo synchronicznie z narastaniem zbocza impulsu zegarowego. W czasie przesuwania w prawo wejścia równoległe danych są zablokowane. Przesuwanie w lewo jest realizowane, gdy na wejściu S0 jest stan niski, a na wejściu S1 stan wysoki. Dane są wprowadzane z wejścia wprowadzania w lewo DSL i przesuwane wzdłuż rejestru w lewo synchronicznie z narastaniem zbocza impulsu zegarowego. Blokada wejścia zegarowego następuje, gdy na obu wejściach rodzaju pracy (S0 i S1) występuje stan niski. Zmiany stanu na wejściach rodzaju pracy S0 i S1 powinny następować w czasie gdy na wejściu zegarowym istnieje stan wysoki.

Układ pracuje w 4 trybach wybieranych stanem wejść S0 i S1:

S0:S1 = 0:0 Blokada zegara – nic nie jest wykonywane.

S0:S1 = 1:0 Przesuw w prawo: w kierunku od Q0 do Q3.

S0:S1 = 0:1 Przesuw w lewo: w kierunku od Q3 do Q0.

S0:S1 = 1:1 Wpis równoległy

Zmiana trybu pracy powinna się odbywać przy stanie wysokim na wejściu zegarowym.

Znaczenie wejść/wyjść układu jest następujące:

S0 i S1 – wejścia określające tryb pracy układu (patrz wyżej).

CP – wejście sygnału zegarowego. Zmiany dokonywane są synchronicznie z narastającym zboczem impulsu zegarowego.
 MR – asynchroniczne wejście zerowania. Stan niski wymusza stany 0 na wszystkich wyjściach Q.
 DSR – wejście danych szeregowych przy przesuwaniu danych w prawo.
 DSL – wejście danych szeregowych przy przesuwaniu danych w lewo.
 D0...D3 – wejścia danych równoległych.
 Q0...Q3 – wyjścia równoległe.

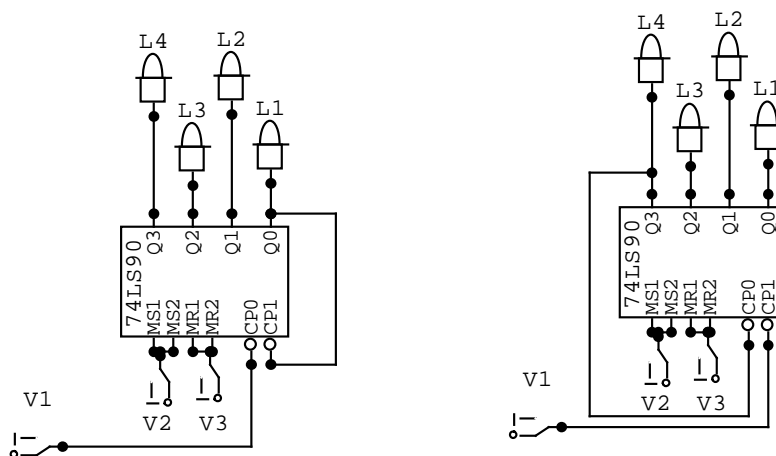
1.3 Pytania sprawdzające.

1. Omówić metody zmiany pojemności licznika.
2. Omówić działanie licznika asynchronicznego dekadowego.
3. Omówić działanie licznika synchronicznego binarnego.
4. Omówić działanie rejestru przesuwającego.
5. Metody ustawiania pojemności licznika.

1.4 Program ćwiczenia.

1.4.1 Asynchroniczny dziesiętny licznik scalony typu 7490.

Zmontować układ według Rys 6a., wyzerować układ (RESET). Zadajniki V2 i V3 ustawić w pozycji „0”. Podawać impulsy zegarowe przy pomocy przełącznika V1 (TAKT). Wyniki należy wpisać do Tabeli 1. (Q0 – L1, Q1 – L2, Q2 – L3, Q3 – L4).



Rys. 6. Układ licznika dziesiętnego typu 7490.

Tabela 1.

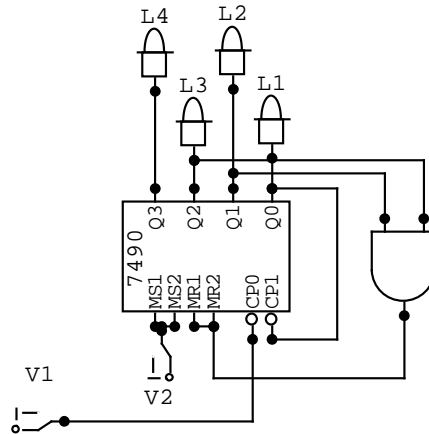
Impuls	Q3	Q2	Q1	Q0
0				
1				
2				
...				
8				
9				
10				

Zmontować układ według 6b. Wyzerować układ. Zadajniki V2 i V3 ustawić w pozycji „0”. Podawać impulsy zegarowe przy pomocy przełącznika V1 (TAKT). Wyniki należy wpisać do

Rys. 6. Układ licznika dziesiętnego typu 7490.

Tabela 1. (Q0 – L1, Q1 – L2, Q2 – L3, Q3 – L4)

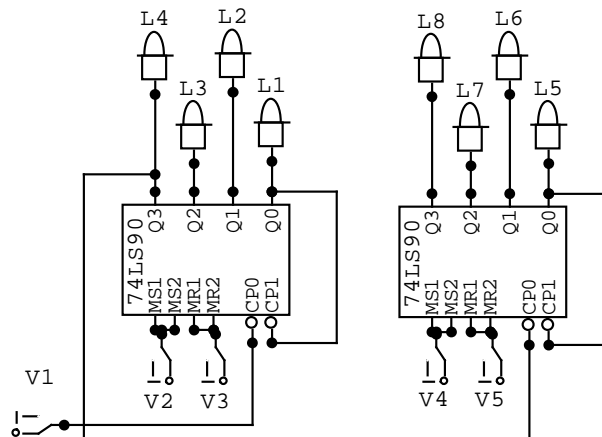
Zmontować układ według 7. Wyzerować układ. Zadajnik V2 ustawić w pozycji „0”. Podawać impulsy zegarowe przy pomocy przełącznika V1 (TAKT). Wyniki należy wpisać do Tabeli 1. (Q0 – L1, Q1 – L2, Q2 – L3, Q3 – L4).



Rys. 7. Schemat licznika modulo 6.

Postępując jak poprzednio i korzystając z bramek AND zbudować i sprawdzić liczniki modulo 3, 5, 8, 9.

Zmontować układ według Rys 8., wyzerować układ.



Rys. 8. Schemat połączenia szeregowego dwóch liczników typu 7490.

Zadajniki V2, V3, V4, V5 ustawić w pozycji „0”. Podawać impulsy zegarowe przy pomocy przełącznika V1 (TAKT). Wyniki należy wpisać do Tabeli 2. (Układ U1: Q0 – L1, Q1 – L2, Q2 – L3, Q3 – L4. Układ U2: Q0 – L5, Q1 – L6, Q2 – L7, Q3 – L8).

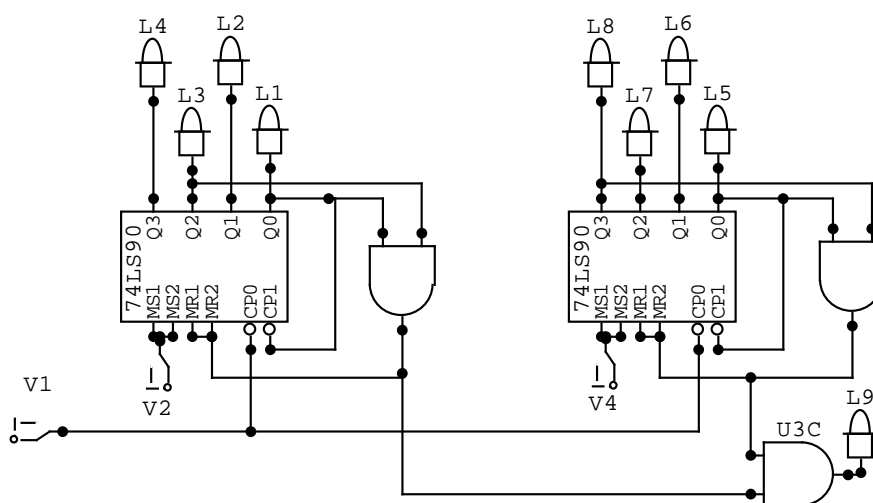
Tabela 2.

Impuls	Q3U1	Q2U1	Q1U1	Q0U1	Q3U2	Q2U2	Q1U2	Q0U2
0								
1								

2							
...							
98							
99							
100							

Zmontować układ według 9., wyzerować układ. Podawać impulsy zegarowe przy pomocy przełącznika V1 (TAKT). Wyniki należy wpisać do Tabeli 2. (Układ U1: Q0 – L1, Q1 – L2, Q2 – L3, Q3 – L4. Układ U2: Q0 – L5, Q1 – L6, Q2 – L7, Q3 – L8).

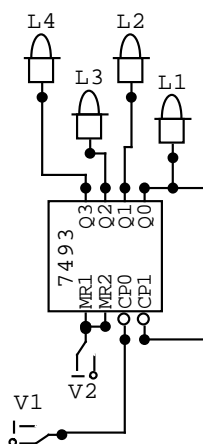
Postępując jak poprzednio i korzystając z bramek AND zbudować i sprawdzić liczniki modulo 16, 25, 36, 44.



Rys. 9. Schemat licznika modulo 45.

1.4.2 Asynchroniczny binarny licznik scalony typu 7493.

Zmontować układ według rysunku 10., wyzerować układ. Zadajnik V2 ustawić w pozycji „0”. Podawać impulsy zegarowe przy pomocy przełącznika V1 (TAKT). Wyniki należy wpisać do Tabela 3. (Q0 – L1, Q1 – L2, Q2 – L3, Q3 – L4).

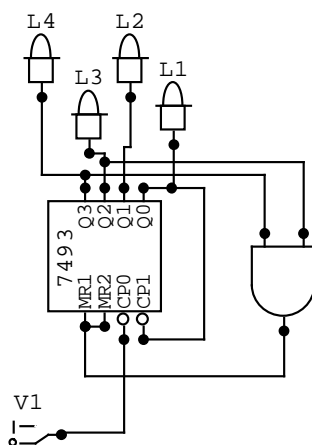


Rys. 10. Układ licznika binarnego typu 7493.

Tabela 3.

Impuls	Q3	Q2	Q1	Q0
0				
1				
2				
...				
14				
15				
16				

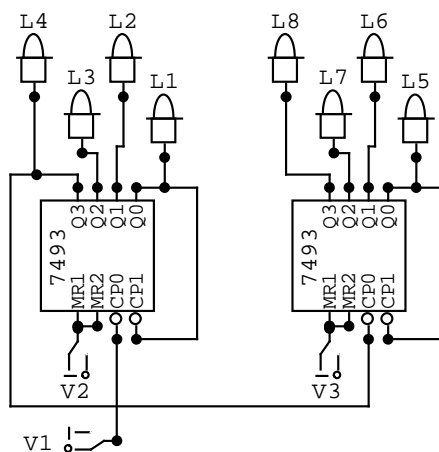
Zmontować układ według Rys 11., Wyzerować układ. Podawać impulsy zegarowe przy pomocy przełącznika V1 (TAKT). Wyniki należy wpisać do Tabeli 3. (Q0 – L1, Q1 – L2, Q2 – L3, Q3 – L4).



Rys. 11. Schemat licznika modulo 12

Postępując jak poprzednio i korzystając z bramek AND zbudować i sprawdzić liczniki modulo 6, 9, 12, 14, 15.

Zmontować układ według Rys 12., wyzerować układ. Podawać impulsy zegarowe przy pomocy przełącznika V1 (TAKT). Wyniki należy wpisać do Tabeli 4. (Układ U1: Q0 – L1, Q1 – L2, Q2 – L3, Q3 – L4. Układ U2: Q0 – L5, Q1 – L6, Q2 – L7, Q3 – L8).



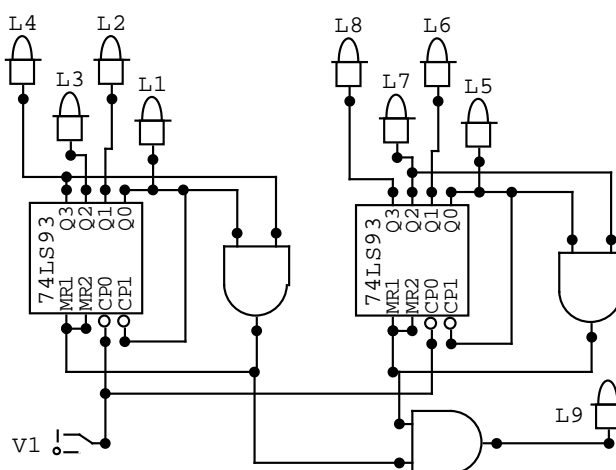
Rys. 12. Schemat połączenia szeregowego dwóch liczników typu 7493.

Tabela 4.

Impuls	Q3U1	Q2U1	Q1U1	Q0U1	Q3U2	Q2U2	Q1U2	Q0U2
0								
1								
2								
...								
254								
255								
256								

Zmontować układ według Rys 13., wyzerować układ. Podawać impulsy zegarowe przy pomocy przełącznika V1 (TAKT). Wyniki należy wpisać do Tabeli 4. (Układ U1: Q0 – L1, Q1 – L2, Q2 – L3, Q3 – L4. Układ U2: Q0 – L5, Q1 – L6, Q2 – L7, Q3 – L8).

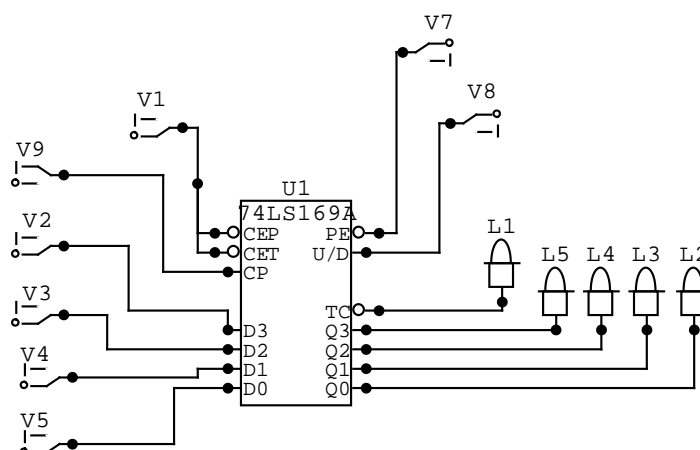
Postępując jak poprzednio i korzystając z bramek AND zbudować i sprawdzić liczniki modulo 18, 25, 32, 42.



Rys. 13. Schemat licznika modulo 45.

1.4.3 Synchroniczny licznik rewersyjny typu 74169.

Układ synchronicznego licznika pokazano 74169 na Rys 14.



Rys. 14. Schemat licznika rewersyjnego 74169.

Wejścia D0..D3 służą do wprowadzania wartości początkowej, na wyjściach Q0..Q3 występuje aktualny stan licznika. Wejścia PE, CE i UD służą do ustawień licznika, natomiast na wejście CP jest podawany sygnał zegarowy. Wyjście TC to wskaźnik przepełnienia licznika. Wejście PE służy do ustawiania trybu pracy. Wejście CEP, CET to zablokowanie licznika, a wejście U/D ustawia kierunek liczenia.

Ustawić zadajniki V7 (PE), V8 (U/D), V1 (CEP,CET) według Tabela 5, następnie podawać impulsy zegarowe przełącznikiem V9 (TAKT). Oznaczenie *(X) oznacza liczbę heksadecymalną X zadawaną w zadajniku V3..V0 w postaci binarnej. Dalej należy ustawiać zadajniki zgodnie ze stanami z tabeli. Wyniki wpisać do Tabela 5. Następnie należy utworzyć własną tabelę i wpisać własne zadawane sygnały.

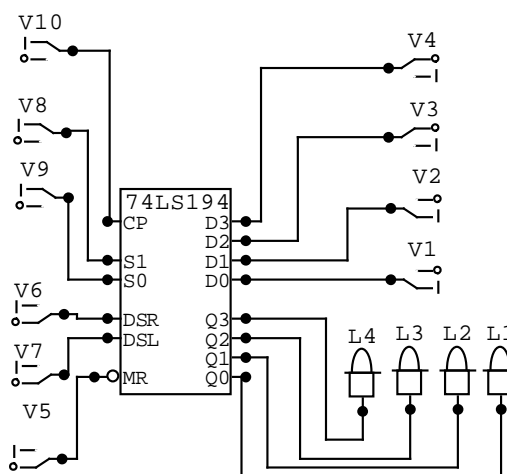
Tabela 5.

Impuls	PE	CEP, CET	U/D	Q3	Q2	Q1	Q0	TC
0 *(0)	1	1	1					
1	0	1	1					
2	0	1	1					
3	0	1	1					
...								
11	0	1	1					
12	0	1	0					
13	0	1	0					
14	0	1	0					
15	0	1	1					
16	0	1	1					
17 *(5)	1	1	0					
18	0	1	0					
19	0	1	0					
...								
30	0	1	0					
31	1	1	1					

*(A)								
32	0	1	1					
33	0	1	1					
...								
42	0	1	1					
43	0	0	1					
44	0	0	0					
45	0	1	0					
46	0	1	0					

1.4.4 Rewersyjny rejestr typu 74194.

Układ synchronicznego rejestru rewersyjnego pokazano na Rys 15.



Rys. 15. Schemat rejestru rewersyjnego typu 74194.

Wejścia D0..D3 służą do wprowadzania równolegle danych, na wyjściach Q0..Q3 są wprowadzane równolegle dane. Na wejście CP jest podawany sygnał zegarowy. Wejścia S0 i S1 służą do ustawienia trybu, wejścia DSR i DSL służą do wprowadzania szeregowego danych. Wejście MR umożliwia zerowanie rejestru.

Ustawić zadajniki V6 (DSR), V7 (DSL), V8 (S1), V9 (S0) według Tabela 6, V5 (MR) = „1”, następnie podawać impulsy zegarowe przełącznikiem V10 (TAKT). Zmian wejść S0 i S1 należy dokonywać jedynie wtedy, gdy V10=1. Oznaczenie *(X) oznacza liczbę heksadecymalną X zadawaną w zadajniku V3..V0 w postaci binarnej. Dalej należy ustawiać zadajniki zgodnie ze stanami z tabeli. Wyniki wpisać do Tabela 6. Następnie należy utworzyć własną tabelę i wpisać własne zadawane sygnały.

Tabela 6.

Impuls	S0	S1	DSR	DSL	Q3	Q2	Q1	Q0
0 *(0)	1	1	0	0				
1 *(7)	1	1	0	0				
2	0	0	0	0				
3	0	0	0	0				
4	1	0	1	0				

5	1	0	0	0				
6	1	0	0	0				
7	1	0	1	0				
8 *(D)	1	1	0	0				
9	0	1	0	1				
10	0	1	0	1				
11	0	1	0	1				
12	0	1	0	1				
13	0	0	1	1				
14	0	0	0	1				
15 *(2)	1	0	0	0				
16	1	0	0	1				
17	1	0	0	1				
18	1	0	0	0				

1.5 Opracowanie ćwiczenia.

Samodzielnie zaprojektować pięć układów liczników o pojemnościach wybranych z przedziału od 50 do 1000.

Rozwiązać zadania podane przez prowadzącego.